

(4) Japanese Patent Application Laid-Open No. JP4-235629(1992)

“Square-Root Computation Unit”

The following is an extract relevant to the present application.

5

A square-root computation unit for a floating point number with a radix of 2 including a first conversion table storage part storing a conversion table which outputs, when a mantissa of an operand to be computed is inputted, a square-root of the input, a second conversion table storage part storing a conversion table which outputs, when a 10 mantissa of an operand to be computed is inputted, one-half a square-root of twice the input, a division part obtaining a value which is one-half an exponent of an operand to be computed, an addition part adding 1 to an output of the division means, and a computation result selecting part selecting, according to whether an exponent of an operand to be computed is even or odd, either a floating point number wherein a mantissa of an output of 15 the first conversion table storage part and an exponent of an output of the division part or a floating point number wherein a mantissa of an output of the second conversion table storage part and an exponent of an output of the addition part and outputting it as a computation result.

20

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-235629

(43) 公開日 平成4年(1992)8月24日

(51) Int.Cl.^o
G 06 F 7/552

識別記号 庁内整理番号
B 2116-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全3頁)

(21) 出願番号 特願平3-1841

(22) 出願日 平成3年(1991)1月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 内堀勝章

東京都港区芝五丁目7番1号日本電気株式会社内

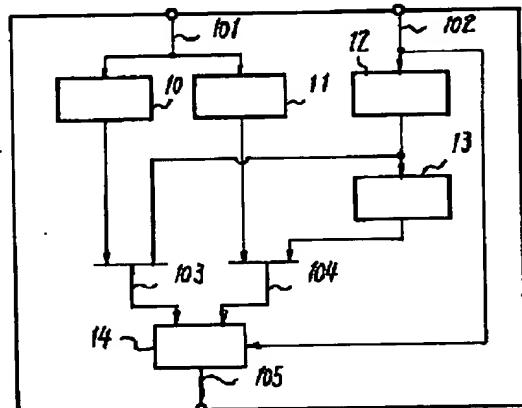
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 平方根演算装置

(57) 【要約】

【構成】 被演算数の仮数を入力すると該入力の平方根を出力する変換表を記憶する第1の変換表記憶部と、被演算数の仮数を入力すると該入力を2倍した値の平方根の2分の1を出力する変換表を記憶する第2の変換表記憶部と、被演算数の指数の2分の1の値を求める除算部と、除算手段の出力に1を加える加算部と、被演算数の指数が偶数であるか奇数であるかに応じ、それぞれ第1の変換表記憶部の出力の仮数部と除算部の出力の指數部を合わせた浮動小数点数、または第2の変換表記憶部の出力の仮数部と加算部の出力の指數部を合わせた浮動小数点数を選択して演算結果として出力する演算結果選択部とを有する2を基底とする浮動小数点数の平方根演算装置。

【効果】 浮動小数乗算部が不要となるため、回路規模を軽減し、伝播遅延時間も少なくできる。



10, 11: 変換表記憶部

12: 除算部

13: 加算部

14: 演算結果選択部

101, 102, 103, 104, 105: 信号線

1

【特許請求の範囲】

【請求項1】 被演算数の仮数を入力すると該入力の平方根を出力する変換表を記憶する第1の記憶手段と、被演算数の仮数を入力すると該入力を2倍した値の平方根の2分の1を出力する変換表を記憶する第2の記憶手段と、被演算数の指數の2分の1の値を求める除算手段と、該除算手段の出力に1を加える加算手段と、被演算数の指數が偶数であるか奇数であるかに応じ、それぞれ第1の記憶手段の出力の仮数部と前記除算手段の出力の指數部を合わせた浮動小数点数、または第2の記憶手段の出力の仮数部と前記加算手段の出力の指數部を合わせた浮動小数点数を選択して演算結果として出力する選択手段とを有する2を基數とする浮動小数点数の平方根演算装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は平方根演算装置、特に2を基數とする正規化浮動小数点数の平方根演算装置に関する。

【0002】

【従来の技術】 被演算数の仮数をm、偶数の指數を2n、奇数の指數を2n+1とすると、平方根は次の様に表すことができる(m, nは整数)。

【0003】

$$\sqrt{m \times Z^{2n}} = \sqrt{m} \times Z^n$$

$$\sqrt{m \times Z^{2n+1}} = (\sqrt{m} \times Z^n) \times \sqrt{Z}$$

2

線202が指數は奇数であることを示す場合には信号線204を選択し、それぞれ信号線205に出力する。

【0009】

【発明が解決しようとする課題】 上述した従来の平方根演算装置は、被演算数の指數が奇数の場合には変換表記憶部を索引した後に2の平方根を掛ける為の浮動小数乗算部を必要とするので、回路規模が大きく複雑なうえに、伝播遅延時間も大きいという欠点があった。

【0010】

【課題を解決するための手段】 本発明の平方根演算装置は、被演算数の仮数を入力すると該入力の平方根を出力する変換表を記憶する第1の記憶手段と、被演算数の仮数を入力すると該入力を2倍した値の平方根の2分の1を出力する変換表を記憶する第2の記憶手段と、被演算数の指數の2分の1の値を求める除算手段と、除算手段の出力に1を加える加算手段と、被演算数の指數が偶数であるか奇数であるかに応じ、それぞれ第1の記憶手段の出力の仮数部と除算手段の出力の指數部を合わせた浮動小数点数、または第2の記憶手段の出力の仮数部と加算手段の出力の指數部を合わせた浮動小数点数を選択して演算結果として出力する選択手段とを有する。

【0011】

【実施例】 次に、本発明の実施例について説明する。

【0012】 被演算数の仮数をm、偶数の指數を2n、奇数の指數を2n+1とすると平方根は次の様に表すこともできる(m, nは整数)。

【0013】

$$\sqrt{m \times Z^{2n}} = \sqrt{m} \times Z^n$$

30

$$\sqrt{m \times Z^{2n+1}} = \frac{\sqrt{2m}}{2} \times Z^{n+1}$$

【0014】 従って被演算数の指數が偶数の場合、被演算数の平方根の仮数は被演算数の仮数の平方根に、被演算数の平方根の指數は被演算数の指數の2分の1になる。被演算数の指數が奇数の場合は、指數が偶数の場合と同様に求めた結果に2の平方根を掛けることで演算することができる。

【0005】 図2に従来のこの種の平方根演算装置の例を示す。

【0006】 変換表記憶部20には予め被演算数の仮数mから仮数の平方根への変換表を記憶させておき、信号線201から入力した被演算数の仮数に対応する平方根を出力させる。除算部21は信号線202から入力した被演算数の指數の2分の1を整数演算で求めて出力する。

【0007】 浮動小数乗算部22は、変換表記憶部20の出力の仮数と除算部21の出力の指數を合わせた浮動小数点数を信号線203により入力し、2の平方根を掛けた結果を信号線204に出力する。

【0008】 演算結果選択部23は、信号線202が指數は偶数であることを示す場合には信号線203を信号

50

$$\frac{\sqrt{2m}}{2}$$

3

【0019】への変換表を変換表記憶部11に予め記憶させておき、信号線101から入力した被演算数の仮数に対応した演算結果の仮数を出力させる。除算部12は信号線102から入力した被演算数の指数の2分の1を整数演算で求めて出力し、加算部13は除算部12の出力に1を加えて出力する。

【0020】演算結果選択部14は、信号線102が指数は偶数であることを示す場合には変換表記憶部10の出力の仮数と除算部12の出力の指数を合わせた浮動小数点数を信号線103から、信号線102が指数は奇数であることを示す場合には変換表記憶部11の出力の仮数と加算部13の出力の指数を合わせた浮動小数点数を信号線104から入力し、信号線105に演算結果として出力する。

【0021】

【発明の効果】以上説明したように本発明は、2を基数とする浮動小数点数の平方根の演算を、仮数部については1回の変換表の索引のみ、指数部についても2を除数

10 4

とする除算と1の加算という簡単な回路で実現可能であり、従来のように浮動小数乗算部が不要となるので回路規模を軽減し、かつ伝播遅延時間も小さくできるという効果がある。

【0022】更に被演算数の仮数部を0.5以上1未満に正規化されたものとすると、本発明による演算結果は常に正規化された値になり、演算後の正規化手段を設ける必要がないという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図。

【図2】従来の平方根演算装置の例を示す図。

【符号の説明】

10, 11: 変換表記憶部

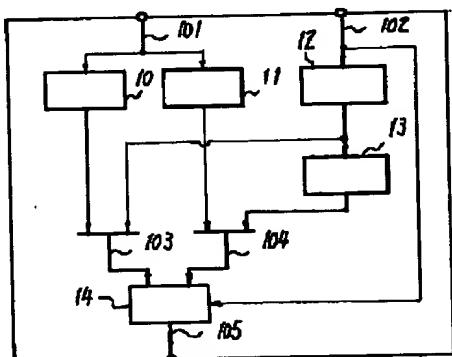
12: 除算部

13: 加算部

14, 23: 演算結果選択部

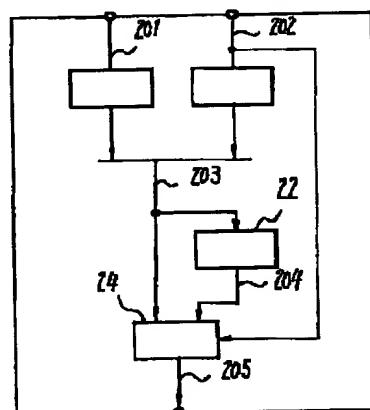
22: 浮動小数乗算部

【図1】



10, 11: 変換表記憶部
 12: 除算部
 13: 加算部
 14: 演算結果選択部
 101, 102, 103, 104, 105: 信号線

【図2】



20: 変換表記憶部
 21: 除算部
 22: 浮動小数乗算部
 23: 演算結果選択部
 201, 202, 203, 204, 205: 信号線